



PATENT ABSTRACTS OF JAPAN

(11) Publication number: 05028762 A

(43) Date of publication of application: 05.02.93

(51) Int. Cl.

G11C 11/409

G11C 11/41

(21) Application number: 03186442

(22) Date of filing: 25.07.91

(71) Applicant: TOSHIBA CORP

(72) Inventor: KURIYAMA MASAO
ATSUMI SHIGERU
TANAKA SUMIO

(54) SEMICONDUCTOR MEMORY

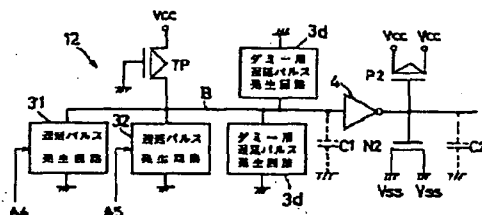
suppressed.

(57) Abstract:

COPYRIGHT: (C)1993,JPO&Japio

PURPOSE: To suppress degradation or delay of memory access by connecting a dummy capacitance to the output side of plural local address transient detection circuits and/or the output side of a wave form shaping circuit.

CONSTITUTION: The plural local address transient detection circuits have pulse generation circuits 31, 32 generating a local address transient signal at an transient time of the respective corresponding address signal input. The signal of an output node B of the circuits 31, 32 is inputted in the wave form shaping circuit 4. Here a delay generation circuit 3d for dummy is used as a dummy capacitance of a batched connection output node B at least in one portion of m pieces of local ATD circuits. The circuit 3d consists of 2 pieces of NMOS transistors connected in series. Then parasitic capacities C1, C2 of the pulse generation circuit output node B in each of the ATD circuits or the variation of the next stage parasitic capacity can be suppressed. Thus the pulse width of the ATD pulse signal or the output is made constant and the delay or degradation is



(51)Int.Cl.⁵

G 1 1 C 11/409

11/41

識別記号

庁内整理番号

F I

技術表示箇所

8320-5L

7323-5L

G 1 1 C 11/ 34

3 5 3 F

L

審査請求 未請求 請求項の数9(全 9 頁)

(21)出願番号

特願平3-186442

(22)出願日

平成3年(1991)7月25日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 栗山 正男

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝総合研究所内

(72)発明者 渥美 滋

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝総合研究所内

(72)発明者 田中 寿実夫

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝総合研究所内

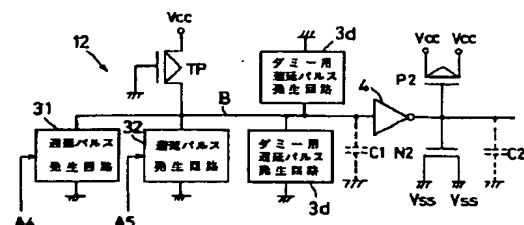
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【目的】複数のローカルA T D回路それぞれにおけるパルス発生回路出力ノードの寄生容量や次段側配線容量のばらつきを抑制し、アドレス信号入力A1~Anのうちのどの遷移に対してもA T Dパルス信号のパルス幅や出力タイミングをほぼ一定化し、ビット線電位などのイコライズ期間をほぼ一定化し、メモリアクセスの遅延や劣化などを抑制し得る半導体記憶装置を提供する。

【構成】複数のローカルA T D回路の各出力の論理和をとってA T Dパルス信号を生成してタイミング制御に利用する半導体記憶装置において、複数のローカルA T D回路の少なくとも一部におけるローカルA T Dパルス信号生成回路の出力側あるいはローカルA T Dパルス信号波形整形回路の出力側に接続されたダミー容量を具備することを特徴とする。



【特許請求の範囲】

【請求項1】 アドレス信号入力A1～Anの相異なる一部にそれぞれ対応して設けられた複数のローカルアドレス遷移検知回路およびこれらのローカルアドレス遷移検知回路の各出力の論理和をとる論理和回路を有するアドレス遷移検知回路を具備する半導体記憶装置において、

前記複数のローカルアドレス遷移検知回路は、それぞれ対応するアドレス信号入力の遷移時にローカルアドレス遷移検知パルス信号を生成するパルス発生回路と、このパルス発生回路の出力ノードの信号が入力する波形整形回路とを具備し、さらに、上記複数のローカルアドレス遷移検知回路の少なくとも一部における前記パルス発生回路の出力側および／または波形整形回路の出力側に接続されたダミー容量とを具備することを特徴とする半導体記憶装置。

【請求項2】 請求項1記載の半導体記憶装置において、前記複数のローカルアドレス遷移検知回路におけるそれぞれのパルス発生回路の数が同じであることを特徴とする半導体記憶装置。

【請求項3】 請求項1記載の半導体記憶装置において、前記パルス発生回路の出力側に接続されたダミー容量は、前記パルス発生回路の出力ノードと接地電位との間に同一サイズの2個の第1のNMOSトランジスタが直列に接続され、同じく、上記出力ノードと接地電位との間に同一サイズの2個の第2のNMOSトランジスタが直列に接続され、上記2個の第1のNMOSトランジスタの各ゲートが対応して“H”／“L”レベルに固定され、上記2個の第2のNMOSトランジスタの各ゲートが対応して“L”／“H”レベルに固定されていることを特徴とする半導体記憶装置。

【請求項4】 請求項1記載の半導体記憶装置において、前記パルス発生回路の出力側に接続されたダミー容量は、前記アドレス信号入力用のパルス発生回路と同じ構成を有すると共にアドレス信号入力として“L”レベルあるいは“H”レベルに固定されたダミーアドレス信号が与えられていることを特徴とする半導体記憶装置。

【請求項5】 請求項3または4記載の半導体記憶装置において、前記ダミー用のパルス発生回路は、前記複数のローカルアドレス遷移検知回路それぞれにおけるパルス発生回路の合計数が同じになるように付加されていることを特徴とする半導体記憶装置。

【請求項6】 請求項1乃至5のいずれか1項に記載の半導体記憶装置において、前記パルス発生回路の出力側に接続されたダミー容量は、上記パルス発生回路の出力側にゲートが接続され、そのソース・ドレインが電源電位に接続されたPMOSトランジスタ、および／また

は、そのドレイン・ソースが接地電位に接続されたNMOSトランジスタのゲート容量が用いられていることを特徴とする半導体記憶装置。

【請求項7】 請求項1乃至6のいずれか1項に記載の半導体記憶装置において、前記波形整形回路の出力側に接続されたダミー容量は、上記波形整形回路の出力側にゲートが接続され、そのソース・ドレインが電源電位に接続されたPMOSトランジスタ、および／または、そのドレイン・ソースが接地電位に接続されたNMOSトランジスタのゲート容量が用いられていることを特徴とする半導体記憶装置。

【請求項8】 請求項1乃至6のいずれか1項に記載の半導体記憶装置において、前記波形整形回路の出力側に接続されているダミー容量は、ダミー配線が用いられていることを特徴とする半導体記憶装置。

【請求項9】 請求項8記載の半導体記憶装置において、前記ダミー配線は、前記複数のローカルアドレス遷移検知回路それぞれの出力ノードと前記論理和回路の入力ノードとの間の配線長のうちの最も長い値と、上記ダミー用配線が接続される一部のローカルアドレス遷移検知回路の出力ノードと前記論理和回路の入力ノードとの間の配線長との差に相当する長さを有することを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体記憶装置に係り、特にアドレス信号入力の遷移を検知してビット線電位などを一定時間イコライズするためのパルス信号を生成するアドレス遷移検知回路を有する高速型の半導体記憶装置に関する。

【0002】

【従来の技術】図5は、高速型の半導体記憶装置で用いられている従来のアドレス遷移検知(Address Transition Detector; ATD)回路を示しており、それぞれアドレス信号入力A1～Anの相異なる一部にそれぞれ対応して設けられた複数(m個)のローカルATD回路11～1mと、このm個のローカルATD回路11～1mの各出力(ローカルATD信号)の論理和をとる論理和回路2(ここでは、ノアゲート21とインバータ回路22)とからなる。ここでは、3ビットのアドレス信号入力A1～A3がローカルATD回路11に入力し、2ビットのアドレス信号入力A4、A5がローカルATD回路12に入力し、2ビットのアドレス信号入力A(n-1)、AnがローカルATD回路1mに入力している例を示している。

【0003】図6は、上記ローカルATD回路11～1mのうちの1個(例えば12)を代表的に取り出して具体例を示しており、2ビットのアドレス信号入力A4、A5が対応して入力し、各出力ノードが一括接続された2個の遅延パルス発生回路31、32と、電源電位(V

cc) ノードと上記2個の遅延パルス発生回路31、32の一括接続出力ノードBとの間にソース・ドレイン間が接続され、ゲートが接地電位(V_{ss})ノードに接続された負荷用のP(チャネル)MOSトランジスタTPと、上記一括接続出力ノードBに入力ノードが接続された波形整形回路(例えばインバータ回路)4とからなる。なお、C1は上記一括接続出力ノードBの寄生容量、C2は上記インバータ回路4の出力側の寄生容量(配線容量)である。

【0004】図5のATD回路の各ローカルATD回路11~1mでは上記遅延パルス発生回路3iが用いられており、その具体例を図7に示している。この遅延パルス発生回路3iは、アドレス信号入力Ai($i=1\sim n$)が入力する奇数段のインバータ回路IV1~IV3からなる第1の遅延回路DL1と、前記アドレス信号入力Aiが入力するインバータ回路IV4と、このインバータ回路IV4の出力が入力する奇数段のインバータ回路IV5~IV7からなる第2の遅延回路DL2と、遅延パルス出力ノードDと V_{ss} ノードとの間で互いに直列に接続された2個の第1のN(チャネル)MOSトランジスタN11およびN12と、同じく上記遅延パルス出力ノードDと V_{ss} ノードとの間で互いに直列に接続された2個の第2のNMOSトランジスタN21およびN22とからなり、上記2個の第1のNMOSトランジスタN11およびN12の各ゲートに対応して前記第1の遅延回路DL1の出力信号およびアドレス信号入力Aiが入力し、上記2個の第2のNMOSトランジスタN21およびN22の各ゲートに対応して前記第2の遅延回路DL2の出力信号およびインバータ回路IV4の出力信号が入力している。

【0005】次に、図5乃至図7の回路の動作について図8を参照して説明する。アドレス信号入力A1~Anが静止状態の時には、図6のPMOSトランジスタTPにより一括接続出力ノードBは V_{cc} レベルに充電されており、インバータ回路4の出力ノードは“L”レベルであり、図5のm個のローカルATD回路11~1mの各出力はそれぞれ“L”レベル、論理和回路2の出力は“L”レベルである。アドレス信号入力A1~Anのいずれか1つ(例えばA4)が例えば“L”レベルから“H”レベルへ遷移すると、このアドレス信号入力A4が入力する遅延パルス発生回路31では、一定時間(第1の遅延回路DL1の遅延時間)だけ2個の第1のNMOSトランジスタN11およびN12がそれぞれオン状態になる。これにより、遅延パルス出力ノードDが“L”レベル、インバータ回路4の出力(つまり、この遅延パルス発生回路31を有するローカルATD回路12の出力)が“H”レベル(ローカルATDパルス信号)になり、図5の論理和回路2の出力は一定時間だけ“H”レベル(ATDパルス信号)になる。また、上記

とは逆に、アドレス信号入力A4が“H”レベルから“L”レベルへ遷移すると、このアドレス信号入力A4が入力する遅延パルス発生回路31では、一定時間(第2の遅延回路DL2の遅延時間)だけ2個の第2のNMOSトランジスタN21およびN22がそれぞれオン状態になる。これにより、前記と同様に、遅延パルス出力ノードDが“L”レベルになり、ローカルATD回路12から“H”レベルのローカルATDパルス信号が発生し、“H”レベルのATDパルス信号が一定時間発生する。

【0006】上記したATDパルス信号のパルス幅は、ローカルATD回路11~1mの一括接続出力ノードBを遅延パルス発生回路3i群のうちの少なくとも1個により“L”レベルにプルダウンしている時間 t_1 と、この遅延パルス発生回路3iがプルダウンしなくなってからPMOSトランジスタTPにより一括接続出力ノードBを論理和回路2の“H”レベル入力に回復するのに要する時間 t_2 との和で決まる。

【0007】ところで、前記ATDパルス信号は、ビット線電位などを一定時間イコライズしてメモリ動作を高速化するために用いられるものであり、アドレス信号入力A1~Anのどれが遷移しても同じタイミングで出力し、同じパルス幅で出力することが望まれる。

【0008】しかし、従来のATD回路は、メモリチップ上のパターンレイアウトの関係上、ローカルATD回路11~1mのアドレス信号入力ビット数が不揃いになっており、アドレス信号入力A1~Anのどれが遷移するかによってATDパルス信号のパルス幅や出力タイミングが不揃いになる。

【0009】次に、上記したようにATDパルス信号の出力タイミングやパルス幅が不揃いになる理由について詳述する。ローカルATD回路11~1mのアドレス信号入力ビット数が不揃いになると、ローカルATD回路11~1mにおける遅延パルス発生回路3iの数が不揃いになる。この場合、個々の遅延パルス発生回路3iの遅延パルス発生ノードDの寄生容量は同じであるので、ローカルATD回路11~1mのそれぞれにおける一括接続出力ノードBの寄生容量C1は、主に、遅延パルス発生回路3iの数に比例する。ここで、個々の遅延パルス発生回路3iの遅延パルス発生ノードDの寄生容量は、遅延パルス発生ノードDと V_{ss} ノードとの間に接続されているNMOSトランジスタN11およびN12、N21およびN22の寄生容量である。いま、アドレス信号入力Aiが“L”レベルで静止している時には、図9に示すように、2個の第1のNMOSトランジスタN11およびN12の各ゲートに対応して“H”/“L”レベルが入力し、2個の第2のNMOSトランジスタN21およびN22の各ゲートに対応して“L”/“H”レベルが入力し、個々のNMOSトランジスタのドレインの寄生容量をCd、ソースの寄生容量をCsで表す

と、遅延パルス発生ノードDの寄生容量は、 $3 \cdot C_d + C_s$ となる。また、上記とは逆に、アドレス信号入力A_iが“H”レベルで静止している時には、2個の第1のNMOSトランジスタN₁₁およびN₁₂の各ゲートに対応して“L”／“H”レベルが入力し、2個の第2のNMOSトランジスタN₂₁およびN₂₂の各ゲートに対応して“H”／“L”レベルが入力し、やはり、遅延パルス発生ノードDの寄生容量は、 $3 \cdot C_d + C_s$ となる。上記ドレインの寄生容量C_d、ソースの寄生容量C_sは、それぞれドレインと基板との接合容量、ソースと10 基板との接合容量であり、かなり大きな値を有する。

【0010】従って、ローカルATD回路11～1mにおける遅延パルス発生回路3iの数が不揃いであると、ローカルATD回路11～1mそれぞれにおける一括接続出力ノードBの寄生容量C₁は、1個当りの遅延パルス発生回路3iの寄生容量($3 \cdot C_d + C_s$)と遅延パルス発生回路数との積で決まり、ローカルATD回路11～1mそれぞれにおける寄生容量C₁の値は遅延パルス発生回路数の差と($3 \cdot C_d + C_s$)との積に依存して大きくばらつく。

【0011】次に、ローカルATD回路11～1mにおける波形整形用のインバータ回路4の出力側(次段側)の寄生容量C₂について考える。ローカルATD回路11～1mの各出力は図5に示すように論理和回路2により1つに纏められるので、ローカルATD回路11～1mの出力ノードと論理和回路2の入力ノードとの間の配線長は非常に長くなり易く、非常に大きな寄生容量C₂が発生し易い。また、上記配線長は、ローカルATD回路11～1mそれぞれのレイアウト位置によって大きく異なるので、ローカルATD回路11～1mそれぞれの30 配線容量C₂の値は大きくばらつく。

【0012】即ち、上記したようにローカルATD回路11～1mそれぞれにおける遅延パルス発生回路出力ノードBの寄生容量C₁の大きなばらつきにより、前記したようにローカルATD回路11～1mにおいてPMOSTランジスタTPにより遅延パルス発生回路出力ノードBを“H”レベルに回復するのに要する時間t₂が大きくなり、ATDパルス信号のパルス幅に大きなばらつきが発生することになる。また、上記したようにローカルATD回路11～1mそれぞれの次段側寄生容量C₂の大きなばらつきにより、ローカルATD回路11～1mそれぞれの出力の立上り、立下りのタイミング、ひいては、ATDパルス信号の出力タイミングに大きなばらつきが発生する。

【0013】

【発明が解決しようとする課題】上記したように従来の半導体記憶装置は、ローカルATD回路それぞれにおける遅延パルス発生回路出力ノードの寄生容量C₁や次段側寄生容量C₂に大きなばらつきがあり、アドレス信号入力A₁～A_nのどれが遷移するかによって、ATDパ

ルス信号のパルス幅や出力タイミングに大きなばらつきが発生し、これにより、ビット線電位などのイコライズ動作にばらつきが生じることになり、イコライズ動作が長すぎることによるメモリアクセスの遅延や、イコライズ動作の不足によるメモリアクセスの劣化などが起こるという問題が発生する。

【0014】本発明は上記の問題点を解決すべくなされたもので、複数のローカルATD回路それぞれにおける遅延パルス発生回路出力側の寄生容量C₁や次段側の寄生容量C₂のばらつきを抑制し、アドレス信号入力A₁～A_nのうちのどの遷移に対してもATDパルス信号のパルス幅や出力タイミングをほぼ一定化し、ビット線電位などのイコライズ期間をほぼ一定化し、メモリアクセスの遅延や劣化などを抑制し得る半導体記憶装置を提供することを目的とする。

【0015】

【課題を解決するための手段】本発明は、複数のローカルATD回路の各出力の論理和をとってATDパルス信号を生成し、内部回路のタイミング制御に利用する半導体記憶装置において、前記複数のローカルATD回路は、それぞれ対応するアドレス信号入力の遷移時にローカルATDパルス信号を生成するパルス発生回路と、このパルス発生回路の出力ノードの信号が入力する波形整形回路とを具備し、さらに、上記複数のローカルATD回路の少なくとも一部における前記パルス発生回路の出力側および／または波形整形回路の出力側に接続されたダミー容量とを具備することを特徴とする。

【0016】

【作用】複数のローカルATD回路の少なくとも一部におけるパルス発生回路の出力側および／または波形整形回路の出力側に接続されたダミー容量を具備することにより、それぞれにおけるパルス発生回路出力側の寄生容量C₁のばらつきを小さくすることができ、アドレス信号入力A₁～A_nのうちのどの遷移に対してもATDパルス信号のパルス幅がほぼ一定化される。同様に、複数のローカルATD回路のそれぞれにおける波形整形回路出力側の寄生容量C₂のばらつきを小さくできるので、アドレス信号入力A₁～A_nのうちのどの遷移に対してもATDパルス信号の出力タイミングがほぼ一定化される。従って、ビット線電位などのイコライズ期間をほぼ一定化し、メモリアクセスの遅延や劣化などを抑制することが可能になる。

【0017】

【実施例】以下、図面を参照して一本発明の実施例を説明する。

【0018】本発明の一実施例に係る高速型の半導体記憶装置は、図5に示したように、アドレス信号入力A₁～A_nの相異なる一部にそれぞれ対応して設けられたm個のローカルATD回路11～1mおよびこれらのローカルATD回路11～1mの各出力の論理和をとる論理

和回路2を有するATD回路を具備し、このATD回路の出力信号によりビット線電位などのイコライズ期間が制御されるようになっている。

【0019】そして、 m 個のローカルATD回路11～1 m のうちの少なくとも一部のローカルATD回路における遅延パルス発生回路出力側あるいはインバータ回路4の出力側にダミー容量が接続されている。この場合、上記遅延パルス発生回路出力側に接続されるダミー容量は、 m 個のローカルATD回路11～1 m のそれぞれにおける前記寄生容量 C_1 がほぼ同じになるように付加されている。同様に、前記インバータ回路4の出力側に接続されるダミー容量は、 m 個のローカルATD回路11～1 m のそれぞれにおける次段側寄生容量 C_2 がほぼ同じになるように付加されている。

【0020】図1は、ATD回路におけるローカルATD回路の1個、例えばアドレス信号入力A4、A5が入力するローカルATD回路12を代表的に取り出して示している。本例では、遅延パルス発生回路出力側に接続されるダミー容量として、 m 個のATD回路11～1 m におけるそれぞれの遅延パルス発生回路数が同じになるように、ダミー用の遅延パルス発生回路3dが付加されている。この場合、アドレス信号入力数が最も多いローカルATD回路にはダミー用の遅延パルス発生回路を付加しなくてもよいが、付加する場合には、その数だけ余分に他のローカルATD回路（アドレス信号入力数が少ないローカルATD回路）にもダミー用の遅延パルス発生回路を付加すればよい。

【0021】図1に示すローカルATD回路12は、図6に示した従来のローカルATD回路12と比べて、 m 個のローカルATD回路11～1 m のうちでアドレス信号入力数が最も多いローカルATD回路のアドレス信号入力数（例えば4）と自己のアドレス信号入力数の差（本例では4-2=2個）に応じた数のダミー用の遅延パルス発生回路3d…が付加され、その出力ノードが前記アドレス信号入力A4、A5が入力する遅延パルス発生回路31、32の出力ノードと一括接続されている点が異なり、その他は同じであるので図6中と同一符号を付している。これにより、図1のローカルATD回路12における遅延パルス発生回路の合計数4は、アドレス信号入力数が最も多いローカルATD回路の遅延パルス発生回路数4と同じになっている。

【0022】また、図1に示すローカルATD回路12におけるインバータ回路4の出力ノードには、 m 個のローカルATD回路11～1 m のそれぞれにおける次段側寄生容量 C_2 のうちの最も大きな値と自己の次段側寄生容量 C_2 との差にほぼ相当するダミー容量として、上記インバータ回路4の出力ノードにゲートが接続され、そのソース・ドレインが V_{cc} 電位に接続されたPMOSトランジスタP2、および／または、ドレイン・ソースが V_{ss} 電位に接続されたNMOSトランジスタN2のゲ

ト容量が用いられている。

【0023】なお、上記A4、A5が入力するアドレス信号入力用の遅延パルス発生回路31、32は、図7を参照して前述したように構成されており、上記ダミー用の遅延パルス発生回路3d…はそれぞれ例えば図2に示すように構成されている。即ち、図2において、前記出力ノードDと V_{ss} 電位との間に同一サイズの2個の第1のNMOSトランジスタN11およびN12が直列に接続され、同じく、上記出力ノードDと V_{ss} 電位との間に同一サイズの2個の第2のNMOSトランジスタN21およびN22が直列に接続され、第1のNMOSトランジスタN11およびN12の各ゲートが対応して“H”／“L”レベルに固定され、第2のNMOSトランジスタN21およびN22の各ゲートが対応して“L”／“H”レベルに固定されている。これにより、上記ダミー用の遅延パルス発生回路3d…は、前記アドレス信号入力用の遅延パルス発生回路3iの入力レベルの静止状態における等価回路（例えば図9に示した回路）と同様に、上記出力ノードDに前記したような $3 \cdot C_d + C_s$ の寄生容量をそれぞれ有している。

【0024】上記実施例のATD回路におけるローカルATD回路11～1 m によれば、それぞれにおける遅延パルス発生回路の合計数が同じにされ、それぞれにおける一括接続出力ノードBの寄生容量 C_1 がほぼ同じになっているので、アドレス信号入力A1～A n のうちのどの遷移に対してもATDパルス信号のパルス幅がほぼ一定化される。また、ローカルATD回路11～1 m のそれぞれにおけるインバータ回路4の出力側寄生容量 C_2 がほぼ同じになっているので、アドレス信号入力A1～A n のうちのどの遷移に対してもATDパルス信号の出力タイミングがほぼ一定化される。従って、ビット線電位などのイコライズ期間をほぼ一定化し、メモリアクセスの遅延や劣化などを抑制することが可能になり、

【0025】なお、上記実施例では、ローカルATD回路11～1 m のそれぞれにおける寄生容量 C_1 が同じにされているが、必ずしも同じでなくても、そのばらつきが小さくなるように（メモリアクセスタイムの仕様から決まる許容範囲内、例えば10%に収まるように）形成すればよい。同様に、それぞれにおける次段側寄生容量 C_2 も、必ずしも同じでなくても、そのばらつきが小さくなるように（メモリアクセスタイムの仕様から決まる許容範囲内、例えば10%に収まるように）形成すればよい。

【0026】また、上記実施例では、 m 個のローカルATD回路11～1 m の少なくとも一部における一括接続出力ノードBに接続されるダミー容量として、図2に示したように、直列接続された2個の第1のNMOSトランジスタと直列接続された2個の第2のNMOSトランジスタとからなるダミー用の遅延パルス発生回路3dを用いたが、これに限らず、図3に示すように、前記ア

ドレス信号入力用の遅延パルス発生回路 3 i と同じ構成 (図 7 参照。) を有すると共にアドレス信号入力として “L” レベルあるいは “H” レベルに固定されたダミーアドレス信号が与えられるダミー用の遅延パルス発生回路 3 d …を用いるようにしてもよい。

【0027】また、前記一括接続出力ノード B に接続されるダミー容量として、前記ダミー用の遅延パルス発生回路 3 d に代えて、図 4 に示すように、図 1 中に示した MOS トランジスタ P 2 あるいは N 2 のゲート容量と同様の構成を有する MOS トランジスタ P 1 あるいは N 1 のゲート容量を用いるようにしてもよい。

【0028】また、上記実施例では、m 個のローカル A T D 回路 1 1 ~ 1 m におけるそれぞれの遅延パルス発生回路 3 i の数が同じでない場合を示したが、パターン・レイアウトを工夫して m 個のローカル A T D 回路 1 1 ~ 1 m におけるそれぞれの遅延パルス発生回路 3 i の数を同じにすれば、前記したようなダミー用の遅延パルス発生回路 3 d を接続しなくても、それぞれの寄生容量 C 1 が同じになる。

【0029】また、上記実施例では、m 個のローカル A T D 回路 1 1 ~ 1 m の次段側寄生容量 C 2 を同じにする (あるいは、そのばらつきを小さくする) 手段として、一部のローカル A T D 回路におけるインバータ回路 4 の出力ノードに MOS トランジスタ P 2 あるいは N 2 のゲート容量によるダミー容量を接続したが、図 3 に示したように、ダミー配線 D L によるダミー容量を接続するようにしてもよい。この場合、上記ダミー配線 D L の一例としては、前記 m 個のローカル A T D 回路 1 1 ~ 1 m それぞれの出力ノードと前記論理和回路 2 の入力ノードとの間の配線の長さのうちの最も大きい値 L m と、上記ダミー用配線 D L が接続される一部のローカル A T D 回路の出力ノードと A T D 回路の論理和回路 2 の入力ノードとの間の配線長 L i との差 (L m - L i) との差にほぼ相当する長さを有し、上記配線と同じ材質 (例えばアルミニウム配線) を有する配線で形成すればよい。

【0030】

【発明の効果】 上述したように本発明によれば、複数の

ローカル A T D 回路それぞれにおけるパルス発生回路出力ノードの寄生容量や次段側寄生容量のばらつきを抑制し、アドレス信号入力 A 1 ~ A n のうちのどの遷移に対しても A T D パルス信号のパルス幅や出力タイミングをほぼ一定化し、ビット線電位などのイコライズ期間をほぼ一定化し、メモリアクセスの遅延や劣化などを抑制し得る半導体記憶装置を実現できる。

【図面の簡単な説明】

【図 1】 本発明の第 1 実施例に係る半導体記憶装置における A T D 回路のうちのローカル A T D パルス発生回路の 1 個を代表的に示す回路図。

【図 2】 図 2 中のダミー用の遅延パルス発生回路の 1 個を代表的に示す回路図。

【図 3】 本発明の第 2 実施例に係る半導体記憶装置における A T D 回路のうちのローカル A T D パルス発生回路の 1 個を代表的に示す回路図。

【図 4】 本発明の第 3 実施例に係る半導体記憶装置における A T D 回路のうちのローカル A T D パルス発生回路の 1 個を代表的に示す回路図。

【図 5】 A T D 回路の一般的な構成を示す論理回路図。

【図 6】 図 5 中のローカル A T D パルス発生回路の 1 個を代表的に示す回路図。

【図 7】 図 6 中の遅延パルス発生回路の 1 個を代表的に示す回路図。

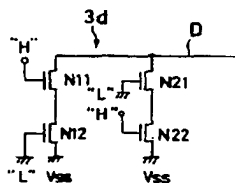
【図 8】 図 5 乃至図 7 の回路の動作を示すタイミング波形図。

【図 9】 図 7 の遅延パルス発生回路の入力レベルの静止状態における等価回路図。

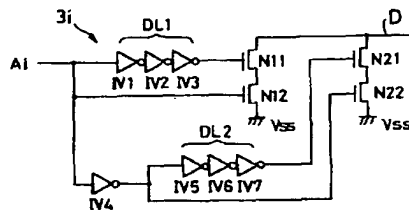
【符号の説明】

1 1 ~ 1 m …ローカル A T D 回路、2 …論理和回路、3 1、3 2、3 i …アドレス信号入力用の遅延パルス発生回路、3 d …ダミー用の遅延パルス発生回路、4 …波形整形回路、C 1、C 2 …寄生容量、D L …ダミー配線、T P …負荷用の PMOS トランジスタ、P 1、P 2、N 1、N 2、N 1 1、N 1 2、N 2 1、N 2 2 …MOS トランジスタ。

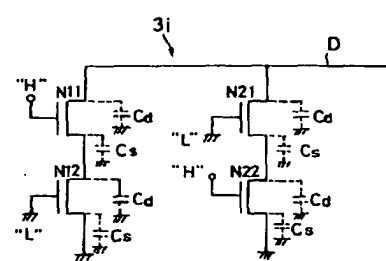
【図 2】



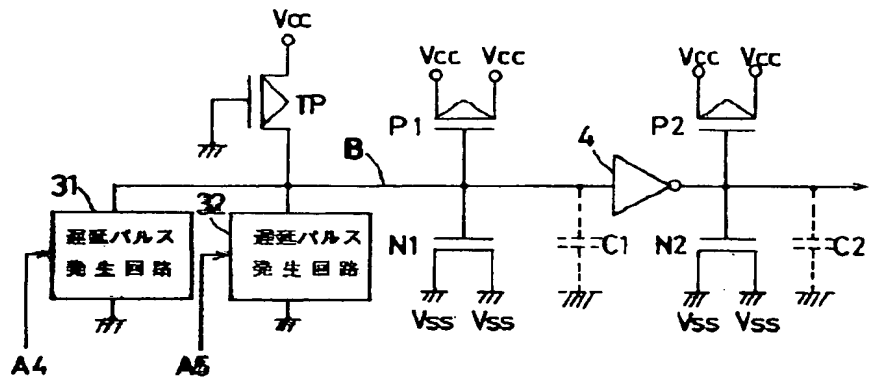
【図 7】



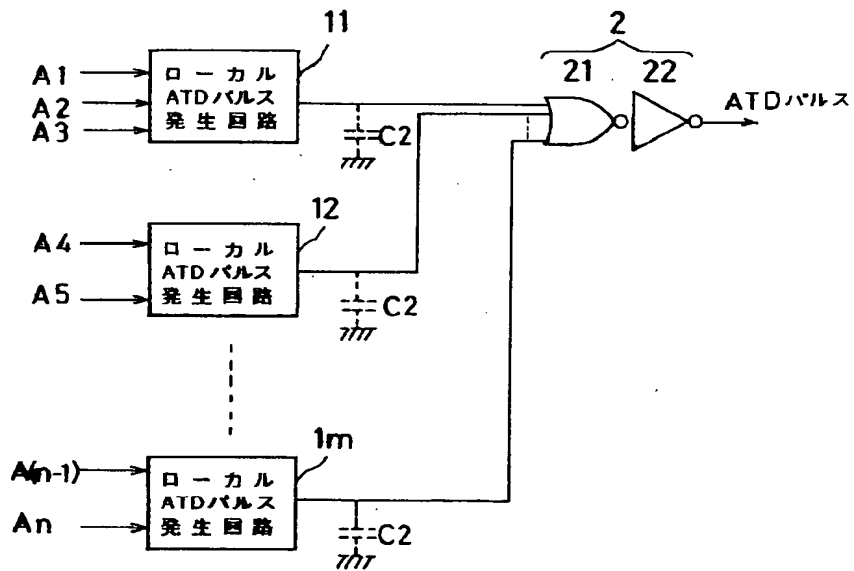
【図 9】



【図4】



【图5】



【図6】

